

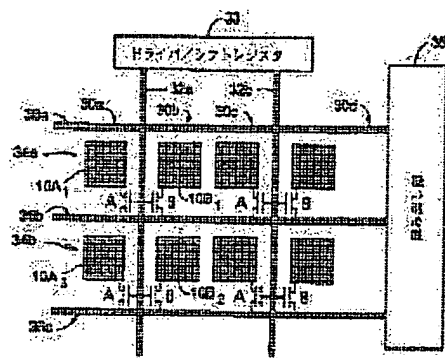


TWO DIMENSIONAL ARRAY**Publication number:** JP10222097 (A)**Publication date:** 1998-08-21**Inventor(s):** PIN MAY; JAMES B BOYCE; STREET ROBERT A; DAVID K FALK**Applicant(s):** XEROX CORP**Classification:****- international:** G02F1/136; G02F1/1368; G09F9/30; G09G3/20; G09G3/36; H04N3/15; G02F1/13; G09F9/30; G09G3/20; G09G3/36; H04N3/15; (IPC1-7): G09F9/30; G02F1/136; G09G3/36**- European:** G09G3/20; H04N3/15E4**Application number:** JP19970306428 19971021**Priority number(s):** US19960734770 19961021**Also published as:** JP4138053 (B2) US6011531 (A)**Abstract of JP 10222097 (A)**

PROBLEM TO BE SOLVED: To provide a flexible two dimensional array. **SOLUTION:** In each pixel cluster of an array, two pixel columns 30a, 30b, 30c, 30d share a single gate line 32a, 32b, and each pixel row 34a, 34b' is connected to a single data line 36a, 36c, and thus, pixel sensor/display element 10A1 and 10B1 belong to the same pixel cluster. It is possible to connect two columns or rows of the pixel with one gate line or one data line by using TFTs of type A and type B as switches. the TFTs of type A and type B can have different turn-on characteristics such as n-channel and p-channel TFTs or different threshold voltages.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-222097

(43)公開日 平成10年(1998) 8月21日

(51)Int.Cl.⁵

識別記号

F I

G 0 9 F 9/30

3 4 3

G 0 9 F 9/30

3 4 3 E

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数1 F D (全 20 頁)

(21)出願番号 特願平9-306428

(22)出願日 平成9年(1997)10月21日

(31)優先権主張番号 7 3 4 7 7 0

(32)優先日 1996年10月21日

(33)優先権主張国 米国 (U S)

(71)出願人 590000798

ゼロックス コーポレーション

XEROX CORPORATION

アメリカ合衆国 ニューヨーク州 14644

ロチェスター ゼロックス スクエア

(番地なし)

(72)発明者 ビン メイ

アメリカ合衆国 94306 カリフォルニア

州 パロ アルト ウィリアムズ ストリ

ート 2251

(74)代理人 弁理士 中島 淳 (外1名)

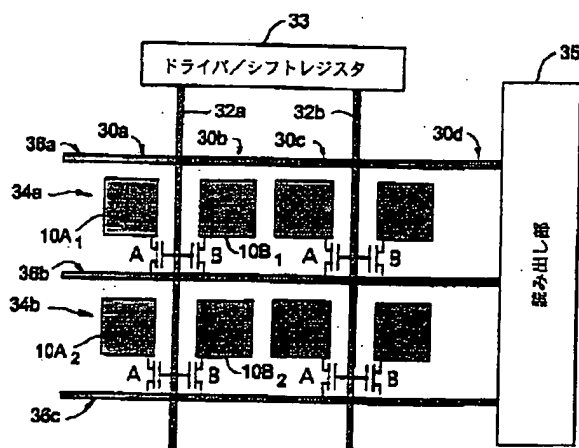
最終頁に続く

(54)【発明の名称】 2次元アレイ

(57)【要約】

【課題】 柔軟性のある2次元アレイを提供する。

【解決手段】 アレイの各ピクセルクラスタにおいて、2つのピクセルコラム30a、b(30c、d)は単一のゲートライン32a(32b)を共有し、各ピクセルロー34a(34b)は単一のデータライン36a(36c)に接続されており、これによってピクセルセンサ/ディスプレイエレメント10A₁及び10B₁は同一のピクセルクラスタに属する。Aタイプ及びBタイプのTFTをスイッチとして使用して、ピクセルの2つのコラム又はローを1つのゲートライン又は1つのデータラインに接続することができる。Aタイプ及びBタイプのTFTは、Nチャネル及びPチャネルTFTのような異なるターンオン特性を有するか又は異なるしきい値電圧を有することが可能である。



【特許請求の範囲】

【請求項1】 複数のピクセルクラスタを含む2次元アレイであって、
各ピクセルクラスタは、
個々にアドレス可能な複数のピクセルセンサ／ディスプレイエレメントと、
少なくとも1つのゲートラインと、
少なくとも1つのデータラインと、
複数の薄膜トランジスタ（TFT）スイッチと、
を機能的に接続して構成され、
前記複数のTFTスイッチのうち少なくとも1つのTFTスイッチが前記複数のTFTスイッチのうちの他のTFTスイッチとは異なる所定の電気特性を有する、
2次元アレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2D（2次元）感知及びディスプレイのアレイの技術に関し、より詳細には画像形成及びディスプレイのアレイにおいてピクセルのクラスタを形成する方法及びその実施に関する。

【0002】本発明は、ピクセルのロー（行）及びコラム（列）を駆動するピクセルスイッチとして薄膜トランジスタ（TFT）を用いるアクティブマトリックス構成を有する2D画像形成及びディスプレイのアレイに適用でき、特定の参照物と共に説明される。しかし、本発明はより広範囲の用途をもち、本発明の教示を有益に用いることができる他の環境及び用途において有益に使用できることが理解されるであろう。

【0003】

【従来の技術】薄膜トランジスタ制御のピクセルアレイは、多くのタイプの2Dスキャナー及び大画面ディスプレイにおける基本的な基礎単位である。従来のアレイデザインでは、走査ドライバがTFTのゲートを制御して、データラインを介して信号を各ピクセルに転送したり各ピクセルから転送したりする。図1に示されるように、ピクセルセンサ10はコラム及びローに複数配列されてアレイを形成する。ピクセルセンサの各コラム12は1つのゲートライン14を共有し、ピクセルセンサの各ロー16は1つのデータライン18を共有する。TFT20のうちの1つが各ピクセルセンサ／ディスプレイエレメント10、ゲートライン14及びデータライン18に接続されるように、TFT20は各ゲートライン14及びデータライン18の交差点に配置されている。従って、従来のデザインでは、ピクセル構成22はゲートライン、データライン、ピクセルセンサ／ディスプレイエレメント及び少しのマージンからなる。ゲートライン及びデータラインの幅は、電気信号を伝えるためのコンダクタンスの要求量によって決定される。アレイの解像度は、センサ／ディスプレイエレメントのサイズならびにゲートライン及びデータラインの幅によって制限され

る。画像形成又はディスプレイのためにアレイの妥当な充填率を維持するためには、ピクセルセンサ／ディスプレイエレメント10のサイズをあまり小さくすることはできない。何故なら、サイズを小さくしすぎるとディスプレイ又は画像の品質に影響を及ぼすからである。ゲートライン又はデータラインの数を減少させると、ピクセルアレイのサイズを大きくすることができ、性能も改良することができる。

【0004】現行の2Dスキャナー及びフラットパネルディスプレイでは、ピクセルの各コラムはゲートラインを介して高速単一結晶シリコン回路の外部シフトレジスタに接続し、ピクセルの各ローはデータラインを介して外部データ転送システムに接続する。このようなデザインでは、ピクセルアレイと外部回路との間に多数のライン接続が存在する。従って、各ライン間の間隔が非常に小さい高密度アレイは特にパッケージングが非常に複雑であり、困難で高価である。

【0005】従来の2D画像形成システムでは、大量の冗長ピクセルデータが処理されることも既知である。図1に示すようなアレイ構成では、感知処理はコラム毎に行われる。データラインの各ローは電気信号を同時に転送し、画像形成処理の解像度、グレーレベル及びカラーは特定のアレイのデザインによって固定されるため、柔軟性が殆どない。

【0006】しかし、実際には、通常の文書は多様な解像度、グレーレベル又はカラーを有する。同一文書においてさえも、異なるサブ領域は異なる画像特性（解像度、グレーレベル又はカラー）を有する。更に、用途によっては、同一文書から異なる画像品質が要求される可能性がある。例えば、高解像度のカラー画像のブリスキャンは、走査時間及びメモリスペースを節約することができる低解像度及びブラック／ホワイトのカラーで行われる。

【0007】従来の画像形成処理を用いて、画像形成領域内の各ピクセルを読み取ってデータ収集システムに信号を送る。外部システムはこの情報を分析し、データを圧縮する。従って、膨大な量の冗長データの転送及び記憶を処理する必要がある、画像形成速度を増加させようとする際に障害となる。

【0008】更に、従来のデザインでは、窒化シリコン（SiN）ゲート絶縁体を有するNチャネルのa-Si TFTがピクセルスイッチとして使用されている。このようなデバイスは、低いリーク電流、小さなしきい値電圧及び優れたスイッチ特性を有することで既知である。しかし、Pチャネルのa-Si TFTは、流動性がより低く、スイッチ特性が劣っていることで既知である。更に、ゲート絶縁体としてSiN膜のみを有するTFTに関しては、NチャネルのTFTのしきい値電圧は0ボルトに近い。従って、既存の従来のアレイデザインは、単一のしきい値電圧を有するNチャネルのTFTを

実施しており、PチャネルのTFT及び異なるしきい値電圧を有するTFTは望ましいものとして考慮されていない。

【0009】従って、ピクセルのクラスタが形成され、ピクセル内のピクセルセンサ／ディスプレイエレメントを個々にアドレスすることができる画像形成及びディスプレイのアレイを発達させるのが望ましいことがわかっている。ピクセルクラスタを有するピクセルセンサ／ディスプレイエレメントのアドレス指定は、様々な所定のしきい値電圧を有するNチャネル及びPチャネルの多結晶Si TFTを用いることによって達成される。このデザインにより、ピクセルのより多くのコラム及び／又はローの接続をより少ない数のゲートライン及び／又はデータラインに接続することができる。このような構造により、(i)アレイ内のデータライン及び／又はゲートラインの数が減少し、充填率が向上する；(ii)外部回路へのライン接続の数が減少し、アレイのパッケージング処理が簡略になる；(iii)2D画像走査において異なる解像度レベル及び画像形成パターンを選択することができ、従って画像形成速度が向上し、データ記憶要求量が減少する；(iv)様々なしきい値電圧を有するTFTを使用することによって近隣のピクセル間で平均化するなど、簡潔な動作がピクセルレベルで可能になる；(v)セルユニット内でサブピクセルとして使用されるピクセルを個々に制御するため、カラー画像形成及びディスプレイにおいて使用することができる。

【0010】

【発明が解決しようとする課題】本発明は、前述の全ての問題及び他の問題を克服する、新しい改良された感知及びディスプレイのアレイを考慮する。

【0011】

【課題を解決するための手段】本発明のアレイでは、ピクセルのクラスタが形成され、Nチャネル及びPチャネルの多結晶Si TFTを使用してコンビネーションスイッチングを行い、クラスタ内の各ピクセルを個々にアドレスする。

【0012】本発明の別の態様によると、異なるしきい値電圧を有するNチャネル及び／又はPチャネルのTFTを同一アレイにおいて使用する。

【0013】本発明の更に別の態様によると、異なるターンオン特性及び／又は異なる電圧しきい値を有するTFTが選択的に起動される。

【0014】本発明の請求項1の態様は、複数のピクセルクラスタを含む2次元アレイであって、各ピクセルクラスタは、個々にアドレス可能な複数のピクセルセンサ／ディスプレイエレメントと、少なくとも1つのゲートラインと、少なくとも1つのデータラインと、複数の薄膜トランジスタ(TFT)スイッチと、を機能的に接続して構成され、前記複数のTFTスイッチのうち少なくとも1つのTFTスイッチが前記複数のTFTスイッチ

のうちの他のTFTスイッチとは異なる所定の電気特性を有する。

【0015】本発明の主な利点は、ゲートライン及びデータラインの数を減少させることによって充填率を増加させる画像形成及びディスプレイのアレイを設けることにある。このようなアプローチは、高解像度アレイの小さなピクセルにとって特に重要である。

【0016】本発明の別の利点は、本発明の構造に従って配置されるアレイが外部回路へのライン接続を減少し、アレイのパッケージング処理を大幅に簡略化することである。

【0017】本発明の更に別の利点は、この構造によって2D画像走査のための異なる解像度レベル及び画像形成パターンを選択できることである。いくつかの解像度レベル及び画像形成パターンは異なるゲートアドレスシークエンスに従って選択され、従って画像形成速度を向上させ、データ記憶要求量を減少させる。

【0018】本発明の更に別の利点は、様々なしきい値電圧を有するNチャネル及びPチャネルのTFTを使用してピクセルクラスタを構成することによって実現され、ここで高域、低域及び中間フィルタリングなどの簡潔な画像処理が達成される。

【0019】本発明の更に別の利点は、このデザインがカラーディスプレイ及びカラー画像走査に使用できることであり、ここでは4つのタイプのTFTを使用して3つのカラーピクセル及び1つのブラック／ホワイトピクセルを制御する。

【0020】本発明の他の利点及び有益な点は、以下の詳細な説明を読み、理解するにつれて当業者に明らかになるであろう。

【0021】

【発明の実施の形態】本発明は、いくつかのパーツ及びパーツの構成において物理的な形をなすことができ、本発明の好適な実施の形態は本明細書において詳しく説明され、その一部を形成する添付図面において図示される。

【0022】ここで、本発明の好適な実施の形態を制限する目的ではなく、これを単に例示する目的である図面を参照する。図1は、既知の技術に従った画像形成及びディスプレイのアレイの構成を示している。

【0023】図2は、本発明に従った画像形成及びディスプレイのアレイ構成の簡潔な例を示している。特に、2つのピクセルコラム30a及び30bは単一のゲートライン32aを共有し(ピクセルコラム30c及び30dは単一のゲートライン32bを共有している)、各ピクセルロー34a(34b)は単一のデータライン36a(36c)に接続されており、これによってピクセルセンサ／ディスプレイエレメント(時折ピクセルと呼ばれる)10A_i及び10B_iは同一のピクセルクラスタ内に含まれる。コラム及びローにおいてこのクラスタを

繰り返すことによってアレイが構成される。あるいは、図3に示されるように、ピクセルの2つのロー34a及び34bは単一のデータラインを共有することができる。同一のアレイ構造において、2つ又はそれより多くのピクセルコラムが単一のゲートラインを共有し、2つ又はそれより多くのピクセルローが単一のデータラインを共有し、このタイプの組み合わせによってピクセルクラスタを形成するアレイ構造が可能であることも理解され、これは以下により詳細に示される。

【0024】図2を再び参照すると、Aタイプ及びBタイプのTFTをスイッチとして使用して、ピクセルの2つのコラム又は2つのローを1つのゲートライン又は1つのデータラインに接続することができる。Aタイプ及びBタイプのTFTには、Nチャネル及びPチャネルのTFTのような異なるターンオン特性を有するTFTを適用可能であり、これらのTFTの特性は概して図4に示される。PチャネルのTFTは、負の電圧値($V_{T(n)}$)のターンオン又は電圧しきい値を有するものとして示されており、NチャネルのTFTは正の電圧値($V_{T(p)}$)のターンオン又は電圧しきい値を有する。Nチャネル及びPチャネルのTFTを単一アレイに使用することにより、正及び負のパルスのセットが既知の技術によってシフトレジスタ(図示せず)に印加されてゲートラインをアドレスし、従って各コラムのピクセルを連続的に選択する。

【0025】図2のアレイのアドレスシーケンスの一例が図5に示されている。このようなアドレスシーケンスは、各ゲートラインをシフトレジスタ33の各2つのステージに接続することによって実現され、その結果が読み出し部35に送られる。正のゲートパルス N_1 を使用してコラム30a及び30c内のピクセルを(AタイプのTFTによって)ターンオンする一方、負のパルス N_2 を使用してコラム30b及び30d内のピクセルを(BタイプのTFTによって)ターンオンする。

【0026】図2及び図3のAタイプ及びBタイプのTFTの代わりに選択される方法は、異なるしきい値電圧(V_T)を有するTFTを使用することである。異なるしきい値電圧を有する2つのNチャネルTFTの転送特性(図6に示す)は、チャネルのドーピング、ゲート誘電体のドーピング又はゲート誘電体の構造化によって実現されうる。

【0027】TFTのしきい値電圧は、ゲート誘電体のタイプ及び誘電膜の厚みに依存する。図7に示される構成において、NチャネルのTFTのしきい値電圧は-10〜+10ボルトの範囲内でありうる。更にこの点に関して、図8は窒化物及び酸化物のデュアル誘導体を有するpoly-Si TFTの刺激転送特性を示している。全体の厚みは100nmである。窒化物のフラクションは1、0.5、0.1及び0であり、 V_T はそれぞれ-6、-4、-1、3、0、4、1及び4.1ボルト

である。図8のデータ及び図7の構成を使用して、同一の基板上に異なる V_T を有するTFTの製造を容易に実現することができる。

【0028】適切な厚みのSiN及びSiO₂膜を有する誘電ゲート絶縁体を使用することによってしきい値電圧を制御できることが、当発明者に既知である。従って、基板上に2つの異なるしきい値電圧を有する底部ゲート(bottom-gate)TFTの構造(図7に示す)は、本発明に使用することができる構造の一例である。この構造を実現するためのスキームは、従来のゲート絶縁体形成処理を行う前にTFT1のSiN-1層を加えることである。この構造により、TFT1の $V_{T(1)}$ がTFT2の $V_{T(2)}$ よりも小さくなる。

【0029】異なるしきい値電圧 V_T のTFTを形成する他の方法が可能であり、このような方法を本発明の教示と関連して使用することができる。

【0030】図2のアレイにおいて、図7に示されるような異なる電圧しきい値のTFTを用いて、例えば図9に示されるような特定のパルスパターンに従って所望のピクセルを選択的に起動させることが可能である。この例では、ゲートライン32aから生じた選択パルス N_1 を印加してコラム30a内のピクセルを起動させる。この後、ゲートライン32aに選択パルス N_1 を印加して、コラム30b内のピクセルセンサ/ディスプレイエレメントを起動させる。同様に、次に続くゲートライン32bに対してパルス($N+1$)が生じるとコラム30c内のピクセルが起動され、次にパルス($N+1$)が生じることによってコラム30d内のピクセルが起動される。

【0031】 N_1 及び($N+1$)。ゲートパルスはコラム30b及び30d内のピクセルのみではなく、コラム30a及び30c内のピクセルもターンオンすることに注意すべきである。従って、所望のように各ピクセルを選択するには、逐次的な読み取り又は書き込み信号が必要である。画像形成に関しては、まずAタイプのTFTをターンオンし、次にBタイプのTFTをターンオンする。ディスプレイに関しては、まずBタイプのTFTをターンオンし、次にAタイプのTFTをターンオンしなければならない。この逐次の読み取り及び書出しに関する更なる論述は、この説明の以下のセクションにおいて述べられる。

【0032】前述したように、第1及び第2の方法ならびに図2及び図3の構成を組み合わせることにより、ピクセルの2つのコラム及び2つのローが同一アレイにおいてゲートライン及びデータラインを共有するようにさせることができる。この構成は、図10に示される。特に、ゲートライン44a及びデータライン46の交差点において、TFT₁、 T_2 によるデータライン及びゲートラインの共有が示されており、これによってピクセルエレメント10A₁、10B₂、10C₂及び10

D₁ がクラスタを形成する。図10のアレイも図2の33及び35のような外部エレメントを含むことに注意する。

【0033】図11は、異なるしきい値電圧(V_T)が使用され、かつNチャネル及びPチャネルトランジスタの双方がトランジスタT₁〜T₈として使用される場合の、図10のアレイの例示的な画像形成ゲートアドレス波形を提供している。

【0034】前述の教示を拡張して、コンビネーションゲートアドレス方法によって制御されるピクセルスイッチとしてNタイプ及びPタイプのTF Tを使用することにより、追加のピクセルがより少ない数のゲートラインを共有することができる。図12には、3つのゲートラインA〜Cによって制御される8個のピクセル10₁〜10₈の一例が、アドレスパターンと共に示されている。この図において、ゲートラインA〜Cに対するゲートパルスの可能な組み合わせは2³通りある。各組み合わせは、図に含まれる動作テーブルによって示されるように1つのピクセルをターンオンするように動作する。例えば、ピクセル10₁、10₂、10₃及び10₄はピクセルスイッチングエレメントとしてNタイプのTF Tを使用し、ピクセル10₅、10₆、10₇及び10₈はピクセルスイッチングエレメントとしてPタイプのTF Tを使用する。従って、ゲートラインA〜Cの各々が正の信号(+V)を供給する場合、TF T50、52及び54がターンオンされ、ピクセルセンサ10₁からデータライン56までの経路を提供する。更なる例示的な例として、ゲートラインAが正のパルス(+V)を有し、ゲートラインB及びCが負のパルス(-V)を有する場合、ピクセルセンサ10₁がデータライン56に接続される。特に、パルスのこのパターンによってTF T60、62及び54がオンになり、ピクセルセンサ10₁のデータライン56への経路を提供する。

【0035】一般的な所見として、Nチャネル及びPチャネルのTF Tをアレイに使用することにより、2ⁿ個のピクセルエレメントをn個のゲートラインによって選択することができる。より一般的な所見として、m個のタイプのTF Tがある場合、mⁿ個のピクセルエレメントを有するクラスタの各ピクセルエレメントは、n個のゲートラインによって個々にアドレス可能である。従って、ピクセルクラスタはmⁿ ≥ nの関係を有し、ここでmはTF Tのタイプの数であり、Gはゲートラインの数であり、nはピクセルクラスタ内のピクセルエレメントの数である。

【0036】図16及び図17に示されるように、多様な2Dアレイ構造において前述の教示を実施することができる。図16は、4個のピクセルエレメント80a、80b、80c及び80d、2つのゲートライン82a及び82bならびに2つのデータライン84a及び84bがクラスタを形成するアレイの実施の形態を示してい

る。近隣のピクセルエレメントとラインを共有することにより、この構造は各クラスタが1つのデータラインと1つのゲートラインを共有する構造に相当する。

【0037】図17は、クラスタ内に8個のピクセルエレメント90a〜90hを有する実施の形態を開示している。各クラスタは、3つのゲートライン92a〜92c及び1つのデータライン94aに接続している。近隣のピクセルエレメントとゲートラインを共有する示されたスキームを用いて、1つのゲートライン及び1つのデータラインを有する8個のピクセルエレメントからなる1つのクラスタを形成することができる。

【0038】個々にアドレス可能なピクセルエレメントを有するクラスタのデザインを用いて、調節可能な画像形成解像度を得ることができる。図10に示されるような、1つのデータラインを共有するピクセルの2つのロー及び1つのゲートラインを共有するピクセルの2つのコラムのデザインを考慮すると、特定のゲートアドレスシーケンスを用いて4つのレベルの画像解像度及び多数の画像形成パターンが選択可能である。例えば、図13(A)に示されるゲートアドレスシーケンスを用いることにより、図13(B)の画像形成パターンが生じる。この状況では、相互接続された4個のピクセルA〜Dのうち(図10の)Aタイプのピクセルのみがターンオンされる。図13(C)のゲートシーケンスでは、Aタイプ及びCタイプのピクセルがターンオンされ、図14に示される画像形成パターンを生じる。

【0039】図15(A)及び図15(B)は、異なる空間周波数及び解像度を用いて得ることができる更なる画像形成パターンを示している。様々なパターンを選択するこの能力は、本発明の画像形成における柔軟性を示している。この画像形成パターンの用途は、画像形成バーコード、デジタルペーパー、独特の特色を有するグラフィック画像ならびに文字及びオブジェクト認識を含むことに注意する。

【0040】本文中に述べられる技術を用いて、ピクセルレベルのアナログ動作を得ることができる。特に、異なるしきい値電圧を有するTF Tを使用することによって、近隣のピクセルに関する画像信号を平均化することができる。例えば、図6に示されるV_{T(1)}よりも大きなゲートパルスを用いて、図10のAタイプ及びBタイプのピクセルが共にターンオンされ、データライン46はAタイプ及びBタイプのピクセルからの全電荷を読み取る。このアナログ能力により、画像の解像度及びディスプレイの品質を高める技術を含むアレイの動作において柔軟性を生じることができる。

【0041】前述の実施の形態は、ピクセルのいくつかのロー及び/又はコラムをより少ない数のゲートライン及びデータラインと組み合わせるという利点を多数の構成が有しうることにより、本発明の汎用性を示している。

【0042】これらの構成を検討することにより、アレイの動作に必要なゲートライン及びデータラインを減少させるとアレイの充填率が増加し、必要な外部接続を減少させることが確実になる。これは、高解像度及び高密度アレイの小さなピクセルに対して特に有用であり、画像形成解像度及びパターン画像形成、ピクセルレベルのアナログ動作、ならびに画像形成及びディスプレイのためのカラー選択を柔軟に制御する。

【0043】図2、図3、図10、図16及び図17の前述のアレイ構成は、画像セルの例を詳細に示している。個々のピクセルは、画像セル内のサブピクセルである。アドレス信号を操作することによって画像セル内の様々なピクセルを選択的に起動することが可能であり、これによって、前述の様々な用途のためのアレイの使用に柔軟性が与えられる。

【0044】図18は、例えば画像フィルタとして使用される基本的な「画像セル」のレイアウトをより詳細に示している。4個のコーナーピクセル100a~100dはNチャネルのTFT102a~102dによって制御されており、4個のエッジピクセル104a~104dはPチャネルのTFT106a~106dによって制御されている。中央ピクセル108は、TFT102a~102d及び106a~106dよりも高いしきい値電圧を有するNチャネル110及びPチャネル112の双方によって制御されている。基本的な画像セル内の全てのピクセルは、TFTチャネルを介して同一のデータライン114に接続されている。

【0045】異なる電圧しきい値及び極性の所定のパルスシーケンスを印加することによって、図19(A)~図19(E)に示されるパターンが生成される。特に、正の通常の電圧しきい値信号($V_T: +$)が印加されると、図19(A)に示すように、Nチャネルの通常電圧しきい値TFT102a~102dによって制御される4個のコーナーピクセル100a~100dが起動される。負の通常電圧信号($V_T: -$)が印加されると、図19(B)に示されるように4個のエッジピクセル104a~104dが起動される。図19(C)に示されるように、高電圧の正の信号($V_T: ++$)が印加されると、コーナーピクセル100a~100dが再び起動され、高い V_T のNチャネルTFT110によって制御される中央ピクセル108も起動される。同様に、高い負の信号($V_T: --$)が印加されると、図19

* (D)に示すように4つのエッジTFT104a~104dが起動され、高い V_T のPチャネルTFT112によって制御される中央ピクセル108も起動される。

【0046】最後に、図19(E)に示されるように、ディスプレイモードの際、初めに正又は負の電圧信号($V_T: +$ 又は $V_T: -$)が使用され、続いて高い正の信号($V_T: ++$)又は負の信号($V_T: --$)が使用されると、中央ピクセル108が起動される。この最後のシーケンスでは、外側のピクセル100a~100d (104a~104d)は中に記憶されているデータを先に供給しているため、次のより高圧のパルス($V_T: ++$ 又は $V_T: --$)が受け取られると、中央ピクセル108のみがデータライン114に送る情報を有する。

【0047】ピクセルのこの選択的な起動により、特性が広範囲の用途において実施される柔軟なアレイが生じる。特定の用途には、低域、高域及び中間フィルタリングの生成が含まれる。従って、本発明に従って構成されるアレイは、画像強調デバイスとして使用される能力を有する。

【0048】画像強調を提供する能力は、画像の有用性を高めるのに重要である。例えば、画像強調処理は、画像の品質、明瞭性又は視覚的外観などの人間の知覚面を向上させることができる。別の用途の例ではオブジェクト識別があり、これは画像強調処理によって可能になる。既存のシステムでは、画像強調アルゴリズムはフォトショップ(Photoshop)として既知であるソフトウェアによってオフラインで行われる。前述のピクセル接続構造に基づいて、オンラインの画像強調処理をハードウェア構造において達成することができる。ハードウェア処理は、画像強調タスクの速度及び簡易さを向上させる。オンラインのハードウェア画像強調の論述を促すために、図20(A)及び図20(B)が画像周波数変調器の例として設けられている。

【0049】低域フィルタリングに注目すると、典型的な画像では、近隣のピクセル間の空間的相関が大きいいため、エネルギーは主に低周波数成分に集中している。しかし、画像の劣化は、周波数ドメインに広がる広帯域ランダムノイズに更に密接に関連している。高周波数成分を低減することにより、低域フィルタリングは少量の信号の減少を犠牲にして大量のノイズを減少させる。低域フィルタリングの動作は、以下の式によって表される。

* [数1]

$$z(n_1, n_2) = y(n_1, n_2) \cdot h(n_1, n_2)$$

$$= \sum \epsilon(n_1 - k_1, n_2 - k_2) \epsilon A h(n_1 - k_1, n_2 - k_2) y(k_1, k_2)$$

【0050】式中、 $h(n_1, n_2)$ は低域フィルタのインパルス応答を表し、 A は $h(n_1, n_2)$ のサポートを表している。図20(A)は、 $h(n_1, n_2)$ の例を提供している。前述のコンビネーションゲートアド

レス技術を用いて、選択された画像パターンに対する低域フィルタリング動作を実現することができる。図20(B)は、図20(A)のインパルス応答の画像形成パターンを示している。図20(B)の画像形成ウィンド

ウ内のピクセルは全て同時にターンオンされ、コンボリューション（たたみ込み）動作の結果を生成する。

【0051】高域フィルタリングに関しては、画像の高周波数成分が強調されるが、これは概して画像のエッジ又は微細な部分に相当する。高域フィルタリングは局所的なコントラストを増加させ、従って画像を鮮鋭にする。高域フィルタリングに重要な基本動作は低域フィルタリングの基本動作に類似しているが、異なるタイプのインパルス応答を使用する。

【0052】図21（A）は、高域フィルタのインパルス応答の例を提供している。このフィルタリングスキームでは、重み付けされたピクセル信号間で減算を用いる。これは、図21（B）及び図21（C）の画像形成パターンを用いて画像形成を2度行い、次にその結果を互いから引くことによって達成することができる。

【0053】中間フィルタリングは、インパルスノイズ及び「ソルトアンドペッパー」ノイズ（ごま塩雑音）を減少させるのに有用である。これらのタイプのノイズは、画像のコーディング及びノイズの多いチャネルをわたる伝送又は電気センサのノイズによって生じる。中間フィルタリングは、非線形処理によってこれらのノイズを減少させる。中間フィルタでは、ウィンドウは画像に沿ってスライドし、ウィンドウ内のピクセルの中間強度値は処理されているピクセルの強度を表す。例えば、図22に示されるウィンドウの平均強度は、ピクセル120の強度を表す。平均強度は、ウィンドウ内の全てのピクセルが同時にターンオンされる際に得られる。

【0054】異なるタイプのフィルタリングの使用に注目すると、典型的な文書において、画像特性の詳細は画像領域によって大幅に異なる。例えば、空の背景は通常高周波数成分が少ないが、前景のオブジェクトは高周波数成分が多い。従って、ノイズが減少される一方で有用な情報が保たれるように、異なる画像フィルタを異なる特性領域に使用するべきである。

【0055】図23は、前述のピクセル接続及び選択概念に従って構成されるアレイと共に使用可能な適応画像強調システムを示している。この処理は、低画像形成解像度のプリスキャン126で画像124を処理することによって開始される。プロセッサ（処理制御）128は、プリスキャンの情報を使用することによって強調処理のタイプを決定する。プロセッサ128は、様々な既知の処理デバイスのいずれも可能であり、適切な画像フィルタを選択する既知の技術を使用することができる。この後、適応イメージ130はプロセッサ128の制御下で画像124を処理し、強調された処理画像132が適応イメージ130から得られる。プリスキャン動作及び適応画像形成は共に、本発明の教示に従って構成されたアレイを使用することによって達成することができる。

【0056】図24（A）、図24（B）及び図25

は、低域フィルタリング（図24（A））、高域フィルタリング（図24（B））及び中間フィルタリング（図25）をそれぞれ示している。フィルタリング処理は、ソフトウェアアルゴリズムに共通して使用される概念に従う。従って、このような処理は当業者には公知である。しかし、この処理は、処理が達成されうる簡易さ及び速度を増加させるハードウェア環境において行われる。図24（A）、図24（B）及び図25に設けられる信号及び重みは単なる例示的な目的であり、様々な異なるインパルス応答及び重みを使用することができる。

【0057】図26は、図18に部分的に示される画像形成セルのレイアウトの拡張図を示している。完全な画像強調は、図26に示されるようなアレイを使用して、複数回画像を横切るようにセンサアレイをステッピング（選択）することにより得られる。ステッピングのための特定の技術は当該技術において既知であり、この技術には、本願と同一の譲渡人に譲渡され、本文中に援用されて本発明の一部とするシャオドン ウーら（Xiaodong Wu, et al.）の米国出願番号08/630,955の "Resolution Enhancement by Multiple Scanning With a Low-Resolution 2-Dimensional Sensor Array" に記載の技術が含まれる。

【0058】前述の教示の更なる用途には、画像のカラーディスプレイがある。例えば、図2及び図10に示される構成は入力スキャナーの用途のために容易に実現されるが、ディスプレイ用としては問題がある。しかし、Nチャネル及びPチャネルTFTをピクセルスイッチとして使用し、ディスプレイにおいてカラーピクセルの2つのコラムを1つのゲートラインを介して個々に制御することができる。更に、様々なしきい値電圧（ V_T ）を有するTFTを用いて、例えば図10に示されるようなアレイにおいてグレースケールディスプレイを実現することができる。特に、4つの異なるしきい値電圧

（ V_T ）を有するピクセルA～Dを用いて、グレースケールの4つのレベルを以下のように得ることができる。

V_G	ピクセル
V_+	1
V_{++}	1、2
V_{+++}	1、2、3
V_{++++}	1、2、3、4

【0059】また、カラー画像形成処理に関連して本発明の様々な用途が存在する。1つの用途は図10を参照して述べられ、ここで基本エレメント即ちセルは3個のカラーピクセルと1個のブラック／ホワイトピクセルから形成される。図11に示されるようなゲートアドレスシーケンスを使用することにより、全体又は部分的なカラー画像が選択され、もしくは図13（A）に示されるゲートアドレスシーケンスを使用することによってブラック／ホワイト画像形成が選択される。所望のアドレスシーケンスの選択は、異なる文書か又は異なるカラー領

域を有する同一文書に対して行われる。

【0060】同一文書上で、いくつかの異なるカラー選択を行って画像の特徴付けをすることができる。この使用は特にハイライトカラーを有する画像形成文書に有益であり、これによって文書全体にわたる過度のフルカラー画像形成を防ぎ、従って画像形成速度を増加させることができる。

【0061】前述の技術の別の用途は、カラー強調である。人間の視覚系は異なる強度（明暗）よりも異なるカラーにより敏感であるため、カラー変調は情報交換及び文書表現において多大な影響を及ぼしうる。カラー強調処理は、周波数変調及びフィルタリング技術に関連するものに類似した適切な技術を選択することによって実施される。個々のピクセルを選択することにより、カラー変調はオンラインハードウェアを用いて直接行われる。

【0062】アレイを形成する開示されたピクセル接続によってスキャナーの速度を増加させ、これらの技術を実施するデバイス内のデータ記憶装置をより有効に使用できる。特に、前述のように、従来の2D画像形成システムでは、大量の冗長ピクセルデータが処理されている。例えば、通常のテキスト文書では、走査される領域の60%又はそれより多くが情報をもたない。1つの文書内でさえも、写真画像及びテキスト材料のように異なる解像度の画像が存在することも既知である。従来の画像処理を用いて、画像領域の各ピクセルがデータを読み出し、冗長データの大量の転送及び記憶を必要とするデータ収集システムに信号を送ると、画像形成速度の増加の障害になってしまう。

【0063】前述のシステムは、本発明の柔軟な画像形成解像度を用いることによって改良される。例えば、異なるタイプの文書に対して異なる走査解像度を用いることができる。テキスト文書に対しては、図13(B)に示されるような低解像度を使用することができる。この特定の例では、4個のピクセル毎に1個のみがアクティブにデータを読み出し、データ収集システムに信号を送る。写真画像に対しては、高解像度が選択される。

【0064】画像形成解像度は、走査されている画像のタイプに従ってプリセットされる。画像のタイプは、ユーザ又はセンサのいずれかによって決定される。センサを使用する場合、多量の文書が初めの段階でセンサを通過し、次にセンサによって決定された解像度で走査される。本発明の技術を用いて、センサは低解像度のブリスキャンモードを行う画像形成アレイそのものとし、最終的な走査の解像度を決定することができる。従って、高解像度走査が不要であるとセンサが決定した場合、情報の記憶、データの記憶及び走査速度は大幅に高められる。

【0065】また、同一文書上の異なるサブ領域に対して異なる走査解像度を用いることも可能である。例えば、図12の構造に関連して示された図13(A)及び

図13(C)に示されるような様々なゲートアドレスシーケンスを用いることにより、提案されたピクセル制御のスキームを使用して、異なる解像度が同一文書上に実現され、冗長データ処理が更に減少される。例えば、高解像度画像形成は写真画像領域のみにおいて行われる一方、残りのテキスト画像に対しては低解像度を用いる。スマートセンサを用いて、テキスト文書に対してさえも、より低い解像度がブランクのサブ領域において選択され、文字領域には高解像度が選択される。ここで、スマートセンサは迅速な低解像度モードで動作するアレイそのものであってもよい。

【0066】先の段落で説明した教示の更なる用途は、文字及びオブジェクト認識のための組み合わせられたデータライン及びゲートラインのピクセルコンビネーションの使用である。提案されたピクセル接続構造は、文字及びオブジェクト認識のためのニューラルネットワークの一部になることが可能である。

【0067】図27は、クロズドループを用いた文字及びオブジェクトを認識する適応システムの一例を示している。このシステムにおいて、画像140は（本発明のアレイの教示に従って構成される）画像形成デバイス142において、選択された画像形成パターン144で走査される。画像形成デバイス142の出力は、走査の全体的な強度である。次にこの出力は、既知の方法で、選択された画像を表す所望の信号146と比較され、所望の信号と実際の出力との差であるエラー信号148が生成される。このエラー信号を用いて、既知のニューラルネットワークアルゴリズムなどの適応アルゴリズムは画像形成アレイの画像形成パターンを調節する。最終的に、選択された画像形成パターンが許容交差内で画像と適合すると、システムは最小エラーに達する。

【0068】適切なアドレスシーケンスに関する論述に戻ると、本発明は、画像形成モードの際にピクセルセンサに記憶されたデータがセンサから読み出される画像形成及びディスプレイのアレイに適用することに注意する。従って、複数のピクセルがゲートライン又はデータラインに関連し（即ち、各ピクセルがセルのサブピクセルであるセルユニット又はピクセルクラスタとして）、かつ読み出し信号が異なる V_i を有する構造では、個々のサブピクセル値を得るには低レベルから高レベルの順で読み取る必要がある。

【0069】4個のピクセル($P_1 \sim P_4$)が1ボルト～4ボルトのしきい値電圧(V_i)を有するゲートラインに接続されていると仮定すると、第1の読み出し信号は1ボルト、第2の読み出し信号は2ボルト、第3は3ボルト、第4は4ボルトである。この順序により、各サブピクセルの値を得る。一方、4ボルトの信号を初めに受け取った場合、全てのデータは1度で読み出される。いくつかの例では、このような読み出しは特定のセルユニットのサブピクセルの合計値を得るのに望ましいこと

を理解する。しかし、個々のピクセル値を得るには、低いものからより高いものへの読み出しシーケンスが必要である。

【0070】本発明のアレイがディスプレイモードにある場合、読み込み値は高い値から低い値の順で読み込まれる。従って、1ボルト〜4ボルトのしきい値電圧(V_T)を有するピクセルの同一シナリオでは、第1の読み込み信号は4ボルトであり、先に進むにつれて1ボルトずつ下がり、4番目の読み込み信号は1ボルトになる。

【0071】カラー画像形成に注目した例の説明を補う。4ボルトの V_T 読み込み信号を有する全てのピクセルにレッドカラー信号を配置する場合、初めの信号の後に全てのピクセル $P_1 \sim P_4$ はレッドカラー信号を記憶する。従って、非常に短期間でピクセル $P_1 \sim P_4$ にエラーが生じる。しかし、次の読み込み信号はミリ秒単位で送られるため、3ボルトの V_T 読み込み信号を有するピクセルに対してエラーが迅速に補正され、処理が進むにつれて全ての補正が行われる。

【0072】特に、次の読み込みカラー信号が3ボルトの V_T 読み込み信号を有するピクセルに対してグリーンである場合、この信号を受け取った後に4ボルトの V_T 読み込みを有するピクセルはレッドカラー信号を保持し、 $P_1 \sim P_4$ は全てグリーンカラー信号を含む。続いて、2ボルトの読み込み信号を有するピクセルに対して次のカラー信号、例えばブルーが生成されると、レッド及びグリーンカラー信号を記憶したピクセルはそのまま保持され、1ボルト及び2ボルトの V_T 読み込み信号を有するピクセルは共にブルーカラー信号を有する。最後に、1ボルトの V_T 読み込み信号を有するピクセルはカラー信号(ブラック/ホワイト信号)を受け取る。

【0073】本発明は、好適な実施の形態を参照して説明された。本明細書を読み、理解するにつれて変更が他者に生じることは明らかであろう。このような変更が請求の範囲又はその同等物の範囲内である限り、本発明はこれらの全てを含むものと意図される。

【図面の簡単な説明】

【図1】既知のピクセルアレイデバイスである。

【図2】異なるコラムのピクセルが単一のゲートラインに接続された本発明の画像形成及びディスプレイのアレイである。

【図3】異なるローのピクセルが単一のデータラインに接続された本発明の画像形成及びディスプレイのアレイである。

【図4】Nチャネル及びPチャネルTFTのターンオン特性を示すグラフである。

【図5】ゲートラインをアドレスしてピクセルの連続コラムを選択するようにシフトレジスタに印加される負及び正のパルスのセットである。

【図6】しきい値電圧 V_{T1} 及び V_{T2} を有する2つのNチャネルTFTの概略的な転送特性を示している。

【図7】2つの異なるしきい値電圧を有する同一基板上の底部ゲートTFTの構造を示している。

【図8】ゲート電圧(V)対ソースドレイン電流(A)のグラフである。

【図9】図2のアレイのゲートラインをアドレスする波形を示している。

【図10】2つのコラムが単一のゲートラインを共有し、ピクセルの2つのローが単一のデータラインを共有するアレイを示している。

【図11】図10のアレイの波形をアドレスする画像形成ゲートを示している。

【図12】3つのゲートライン及び関連するアドレスパターンによって制御される8個のピクセルの一例である。

【図13】(A)は、図10のアレイのゲートアドレスシーケンスである。(B)は、(A)の画像形成パターンを図10のアレイに実施した結果を示している。

(C)は、図10のゲートラインに実施されるアドレスシーケンスである。

【図14】図13(C)のアドレスシーケンスを図10のアレイに実施した結果である。

【図15】(A)及び(B)は、様々なアドレスシーケンスを図10のアレイに実施することによって得られる画像形成パターンを示している。

【図16】本発明の教示に従ったアレイを形成する接続構造を示している。

【図17】本発明の教示に従ったアレイを形成する別の接続構造を示している。

【図18】本発明の教示に従った基本的な「画像セル」のレイアウトを示している。

【図19】(A)〜(E)は、伴ったしきい値電圧を印加することによって図21の基本的な画像形成セルから得られる異なる画像パターンを示している。

【図20】(A)及び(B)は、低域フィルタのインパルス応答の表現と、インパルス応答の画像パターンを示している。

【図21】(A)〜(C)は、高域フィルタリングのインパルス応答の一例と、これに関連する画像パターンを示している。

【図22】中間フィルタリングによる選択された走査ピクセルの強度を表している。

【図23】本発明のピクセル選択概念に基づいた適応画像強調システムを示している。

【図24】(A)及び(B)は、低域及び高域フィルタリングの例を示している。

【図25】中間フィルタリングの例を示している。

【図26】図18の「画像セル」のレイアウトの拡張図を示している。

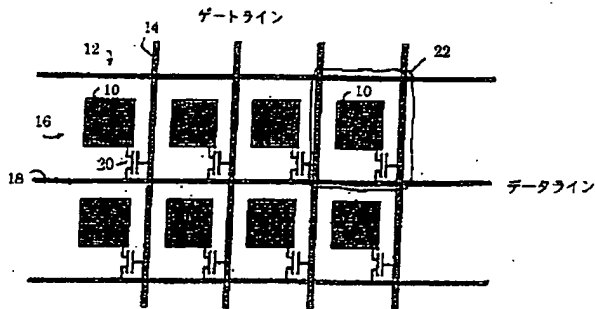
【図27】本発明の教示を実施するクロズドループを用いた文字及びオブジェクトを認識する適応システムの

一例を示している。

【符号の説明】

30a、b、c、d ピクセルコラム

【図1】

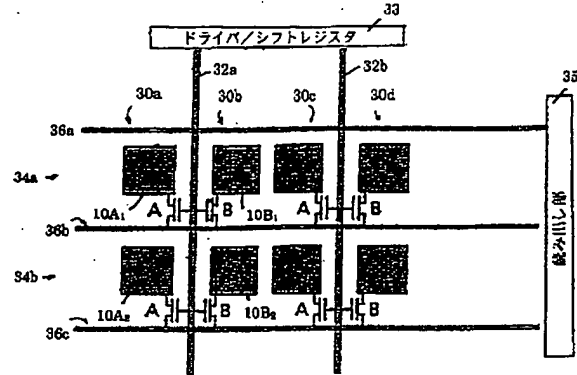


* 32a、b ゲートライン

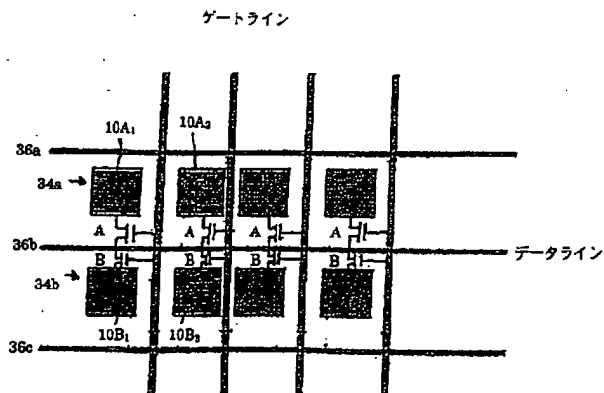
34a、b ピクセルロー

* 36a、b、c データライン

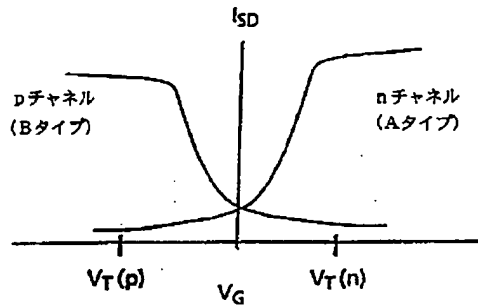
【図2】



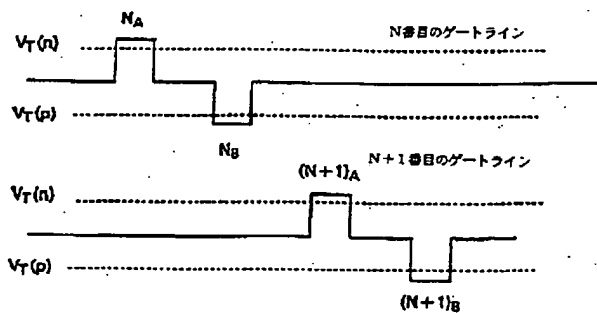
【図3】



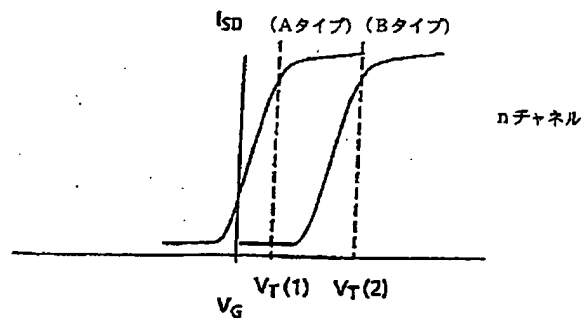
【図4】



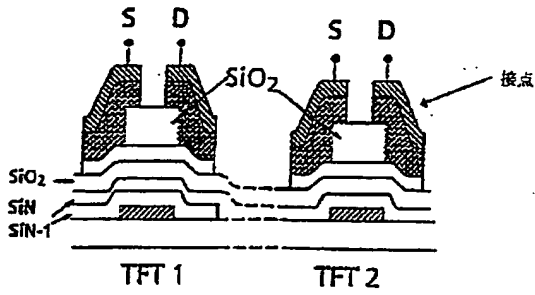
【図5】



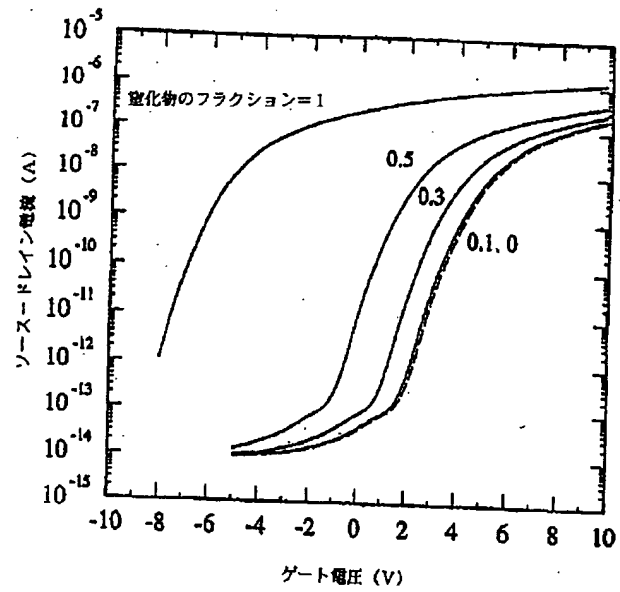
【図6】



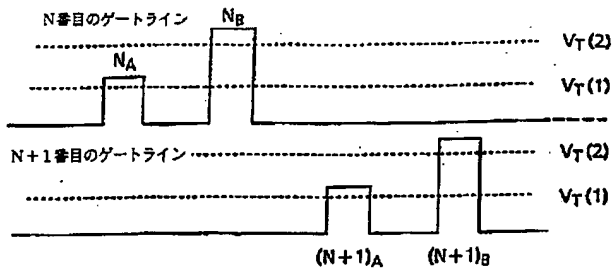
【図7】



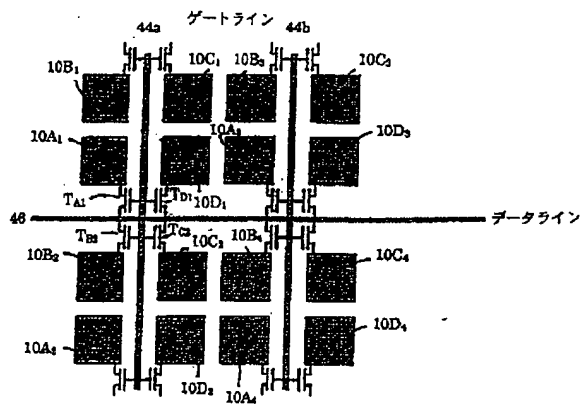
【図8】



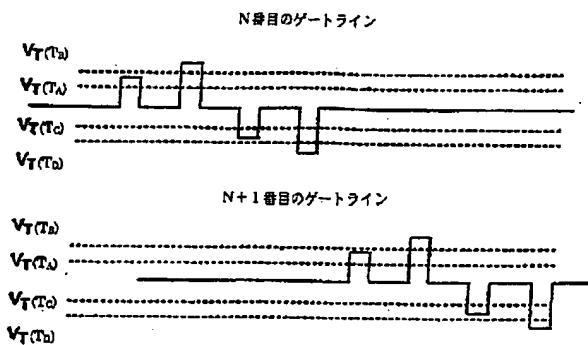
【図9】



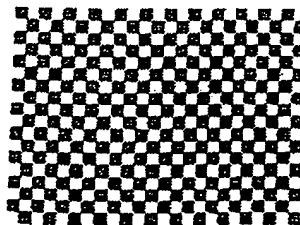
【図10】



【図11】



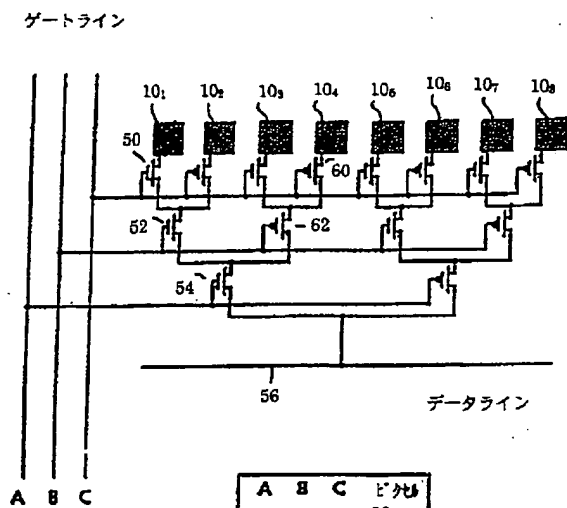
【図14】



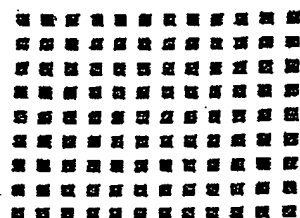
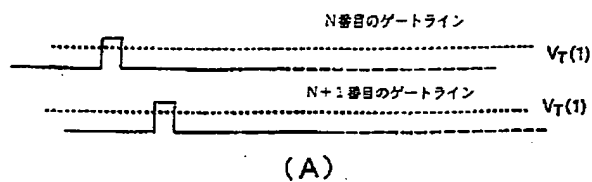
【図22】



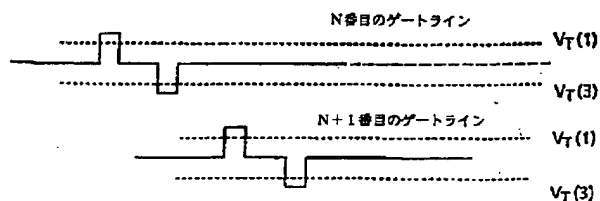
【図12】



【図13】



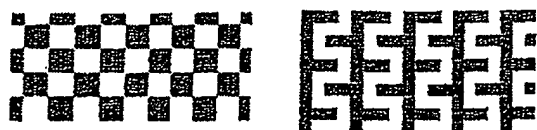
(B)



【図15】



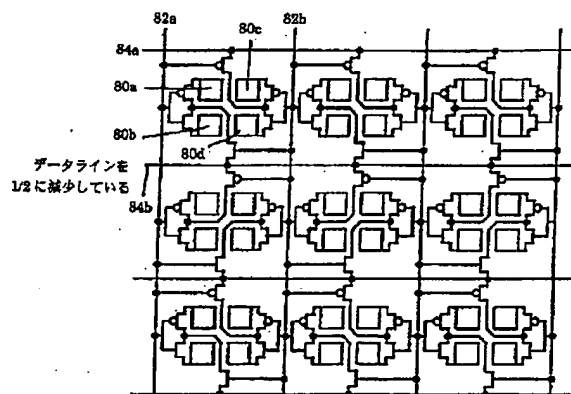
(A)



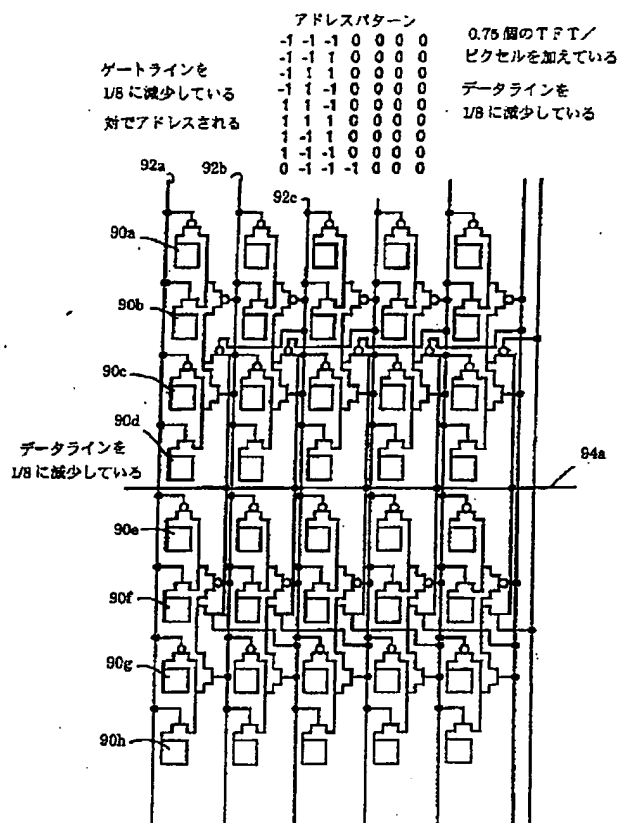
(B)

【図16】

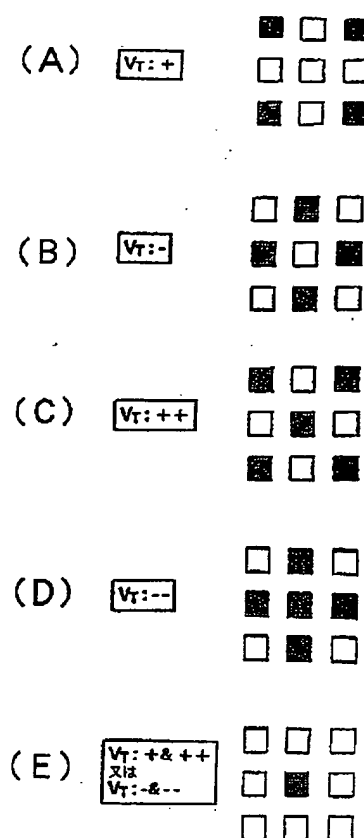
0.5個のTFT/ピクセルを加えている
データラインを1/2に減少している
ゲートラインを1/2に減少している
ゲートラインを1/2に減少している
対でアドレスされる



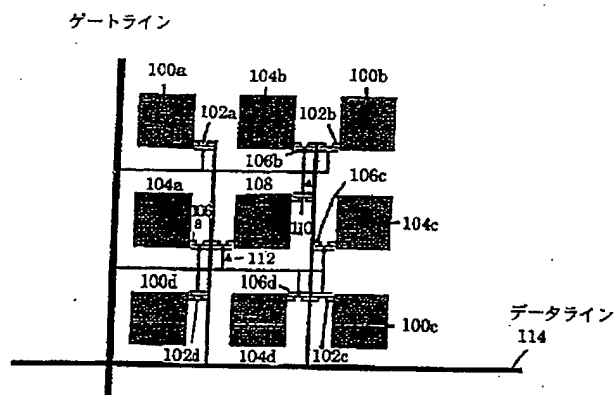
【圖 17】



【圖 19】



【圖 18】

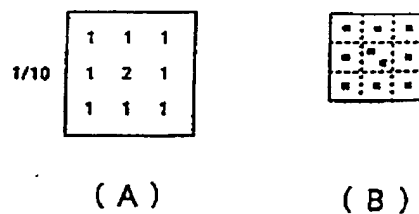


Ⅲ ｛チャンネルのTFT

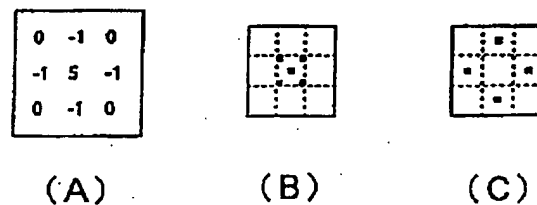
より高い V_T を有するnチャネルのTFT

より高い V_t を有するpチャネルのTFT

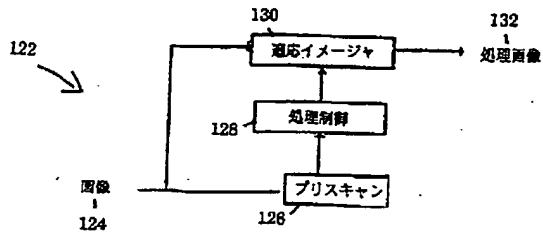
【図20】



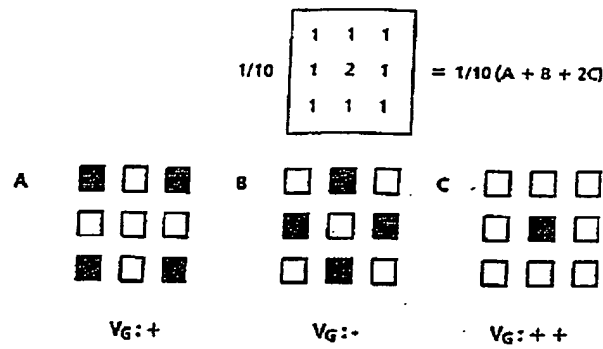
【圖 21】



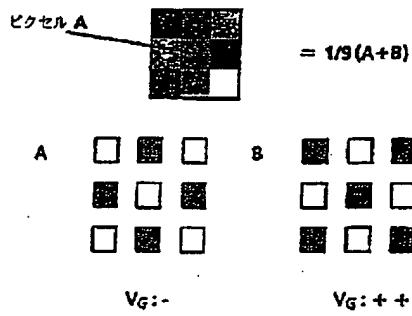
【図23】



【図24】

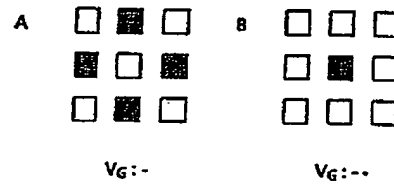


【図25】



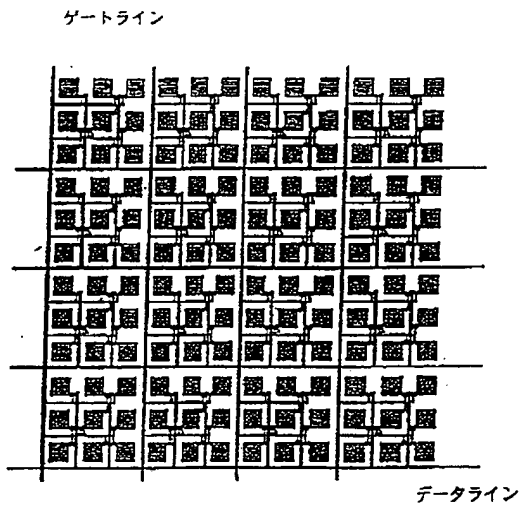
(A)

$$\begin{bmatrix} 0 & -1 & 0 \\ -1 & 5 & -1 \\ 0 & -1 & 0 \end{bmatrix} = -A + 5B$$

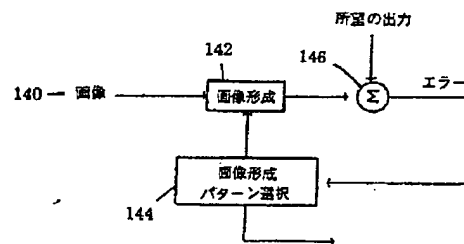


(B)

【図26】



【図27】



【手続補正書】

【提出日】平成9年11月28日

【手続補正1】

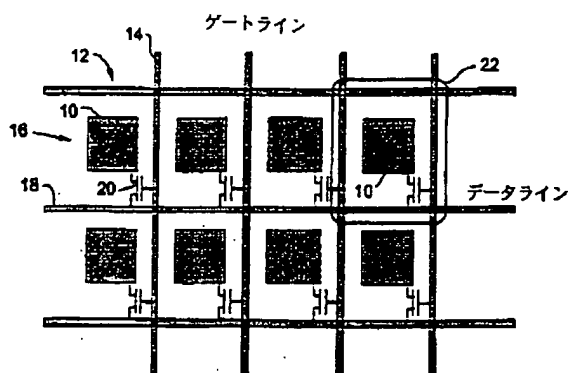
【補正対象書類名】図面

* 【補正対象項目名】全図

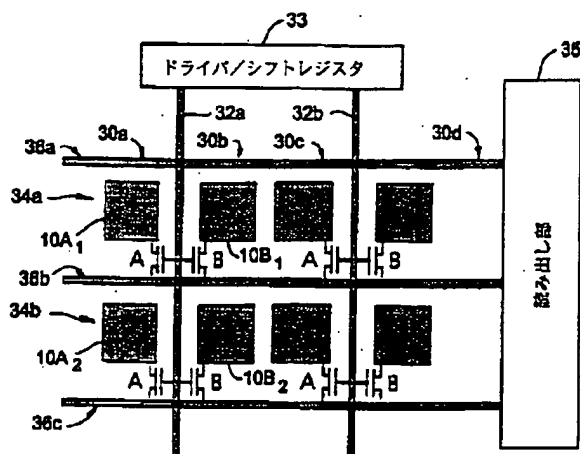
【補正方法】変更

* 【補正内容】

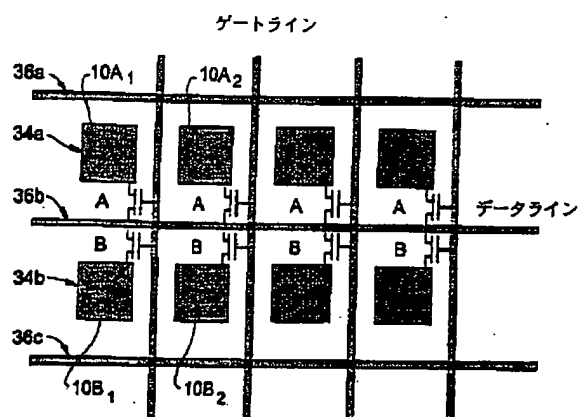
【図1】



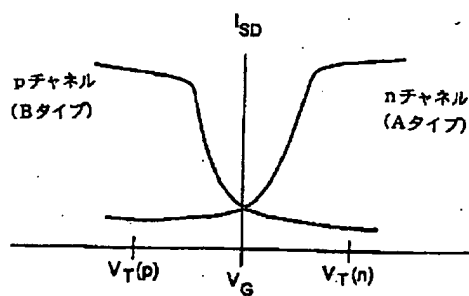
【図2】



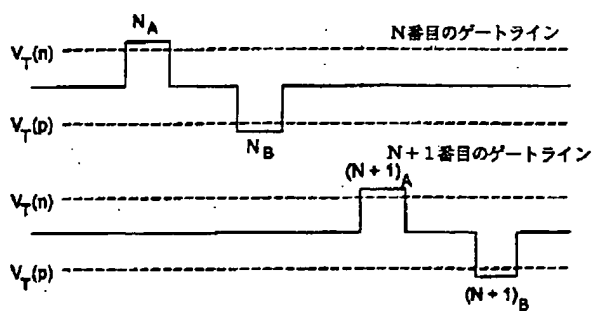
【図3】



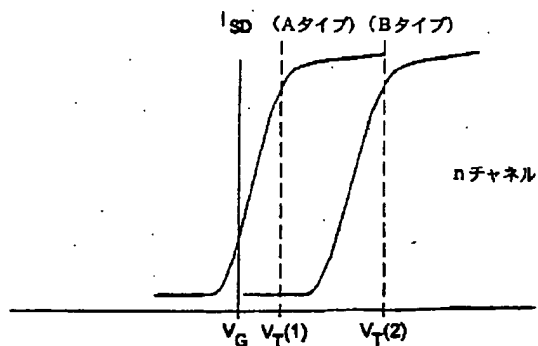
【図4】



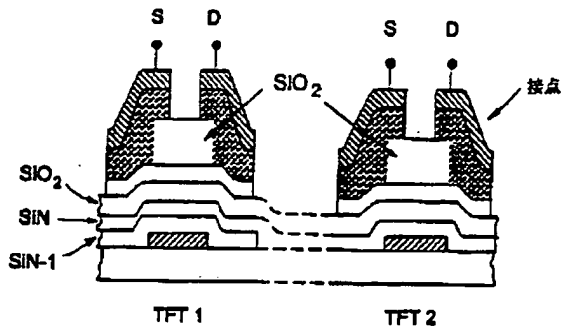
【図5】



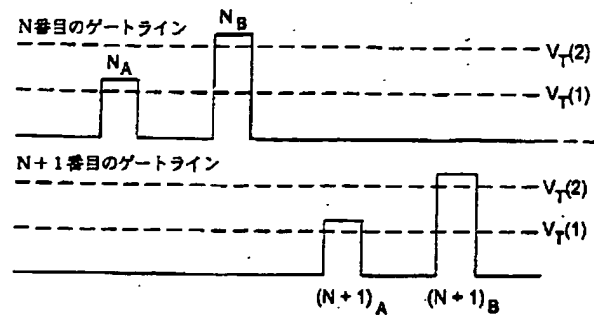
【図6】



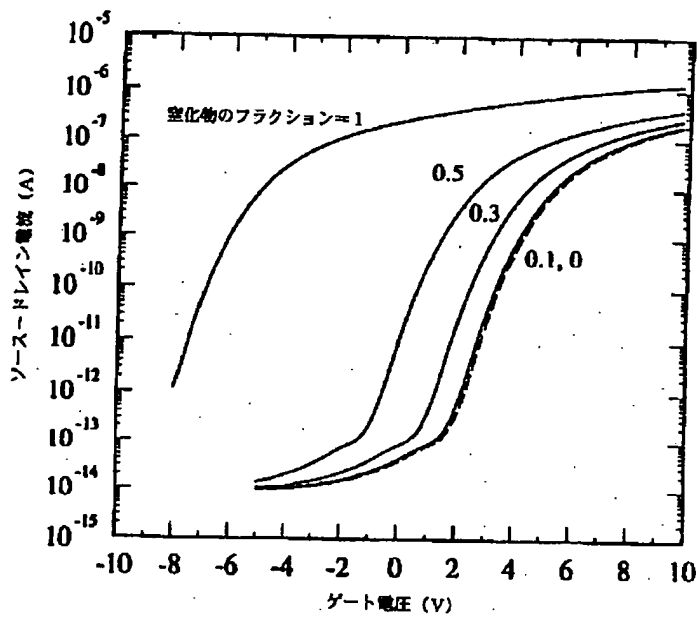
【図7】



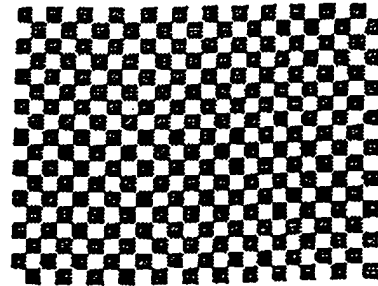
【図9】



【図8】



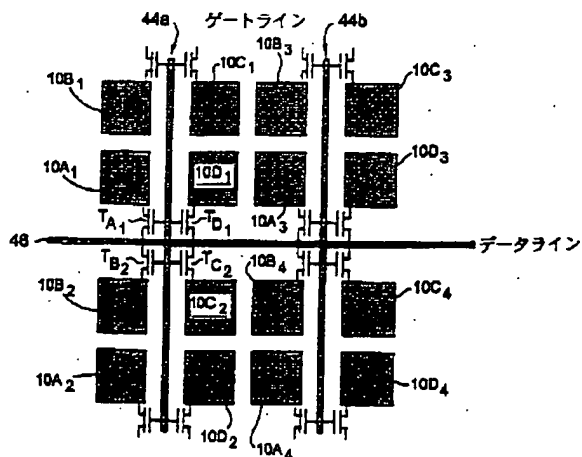
【図14】



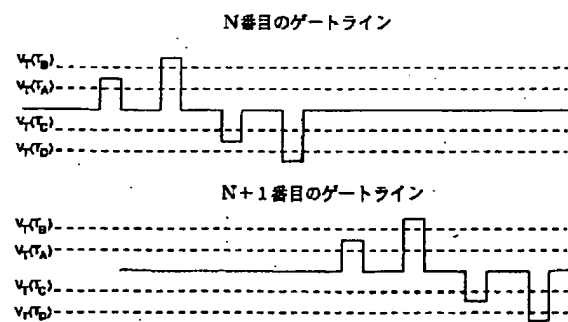
【図22】



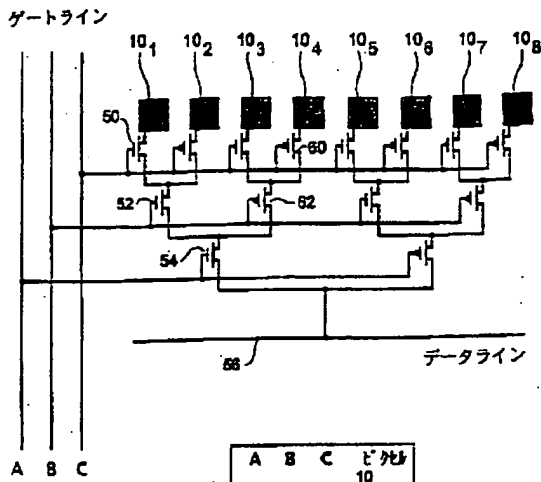
【図10】



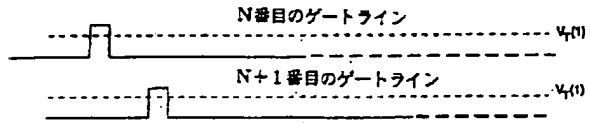
【図11】



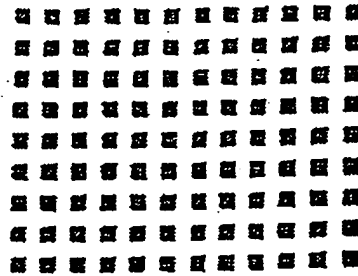
【図12】



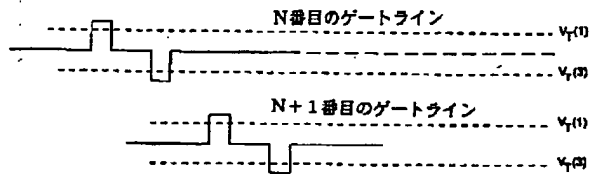
【図13】



(A)

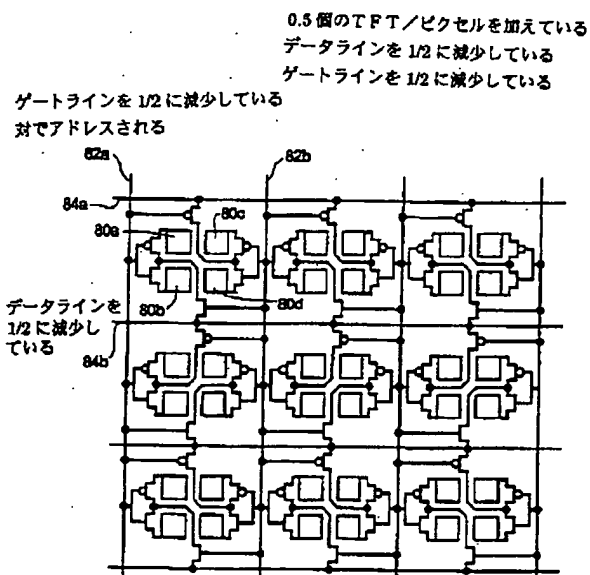


(B)

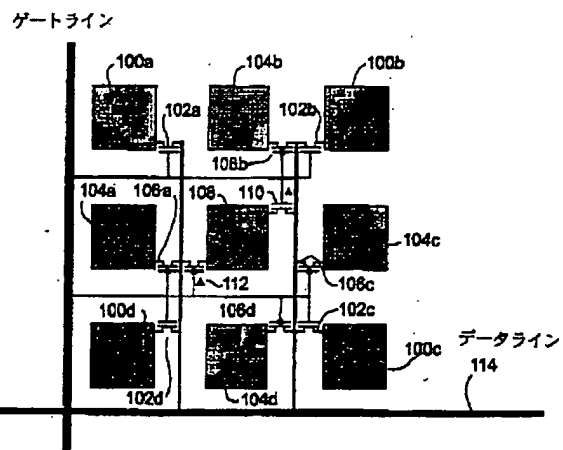


(C)

【図16】



【図18】

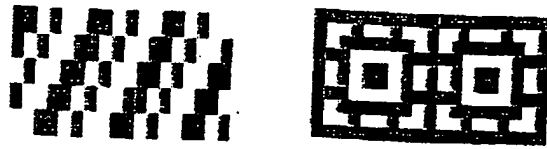
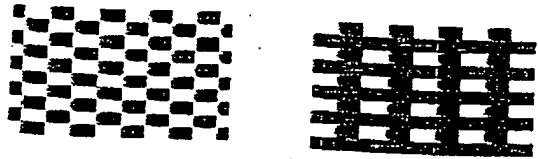


≡ pチャネルのTFT

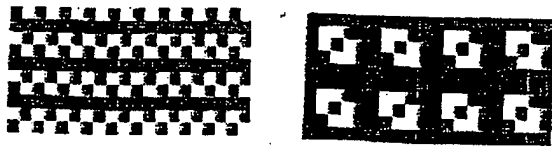
≡ より高い V_T を有するnチャネルのTFT

≡ より高い V_T を有するpチャネルのTFT

【図15】



(A)

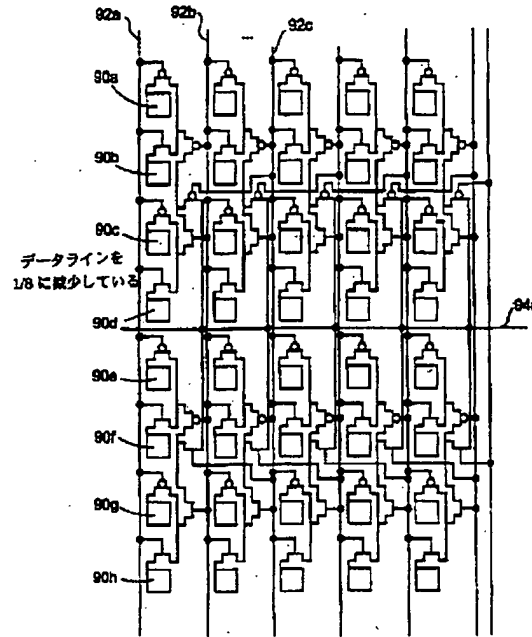


(B)

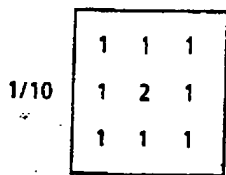
【図17】

アドレスパターン

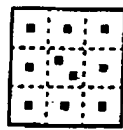
-1	-1	-1	0	0	0	0	0	0.75 個の TFT /
-1	-1	1	0	0	0	0	0	ピクセルを加えている
-1	1	1	0	0	0	0	0	
-1	1	-1	0	0	0	0	0	
1	1	-1	0	0	0	0	0	データラインを
1	1	1	0	0	0	0	0	1/8 に減少している
1	-1	1	0	0	0	0	0	
1	-1	-1	0	0	0	0	0	
0	-1	-1	-1	0	0	0	0	



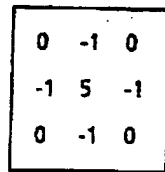
【図20】



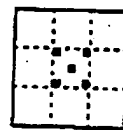
(A)



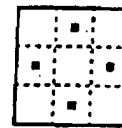
(B)



(A)



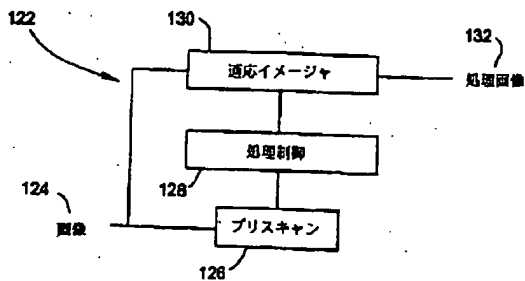
(B)



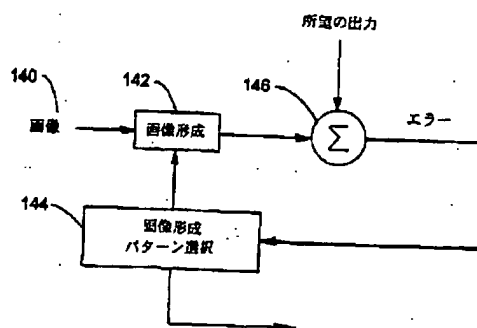
(C)

【図21】

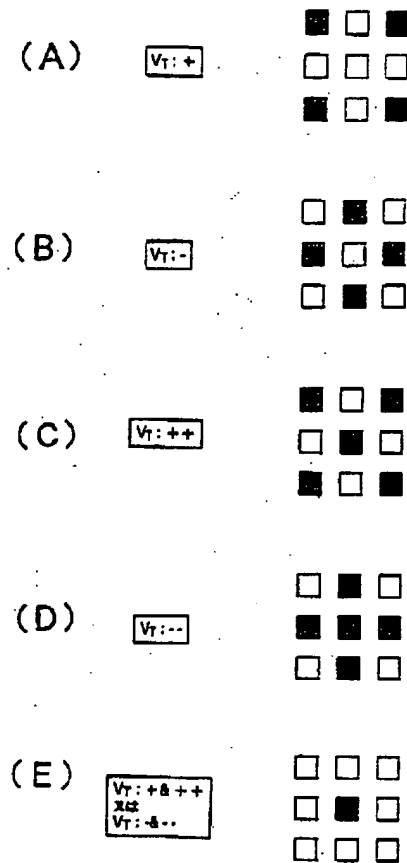
【図23】



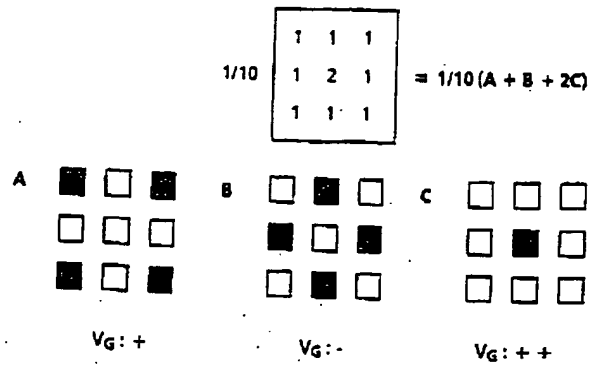
【図27】



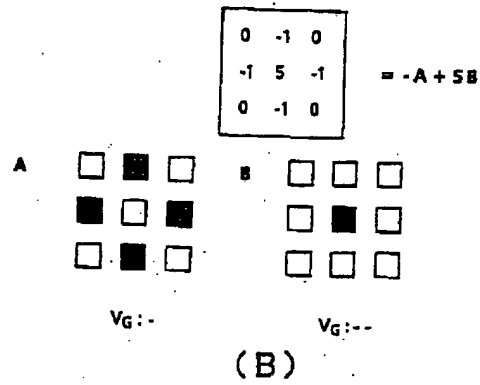
【図19】



【図24】

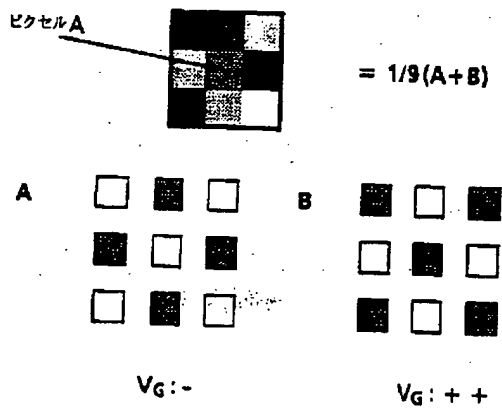


(A)

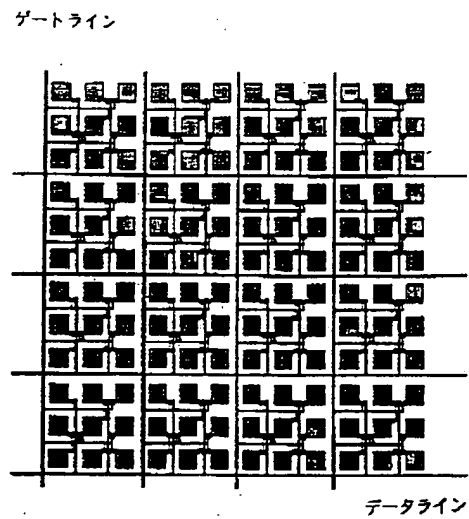


(B)

【図25】



【図26】



フロントページの続き

(72)発明者 ジェームズ ビー. ボイス
アメリカ合衆国 94024 カリフォルニア
州 ロス アルトス ラッセル アベニュー
1036

(72)発明者 ロバート エー. ストリート
アメリカ合衆国 94306 カリフォルニア
州 バロ アルト ラ パラ アベニュー
894

(72)発明者 デイビッド ケイ. フォーク
アメリカ合衆国 94306 カリフォルニア
州 バロ アルト ウィルキー ウェイ
4276 アpartment ディー

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載

【部門区分】 第 6 部門第 2 区分

【発行日】 平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】 特開平 10-222097

【公開日】 平成 10 年 8 月 21 日 (1998.8.21)

【出願番号】 特願平 9-306428

【国際特許分類第 7 版】

G 0 9 F 9/30

G 0 2 F 1/136

G 0 9 G 3/36

【F I】

G 0 9 F 9/30 3 4 3 E

G 0 2 F 1/136 5 0 0

G 0 9 G 3/36

【手続補正書】

【提出日】 平成 16 年 10 月 21 日 (2004.10.21)

【手続補正 1】

【補正対象書類名】 図面

【補正対象項目名】 図 1 7

【補正方法】 変更

【補正の内容】

【図17】

